

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181588

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

H03K 17/693

(21)Application number : 07-340453

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1995

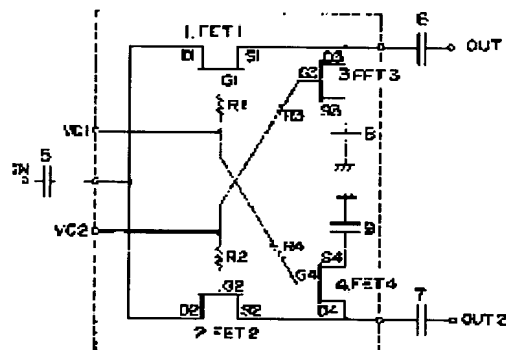
(72)Inventor : MIYA TATSUYA

(54) SEMICONDUCTOR SWITCH

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a pass/insertion loss and to reduce chip size and the number of terminals by utilizing the automatic determination of each potential based upon the internal capacity of an FET.

SOLUTION: When voltage +VD, 0V are respectively impressed to the terminals Vc1, Vc2 of the semiconductor switch, the potential levels of drains D1 to D3 and sources S1 to S3 of respective FETs 1 to 3 are uniquely determined by the pinch-off voltage of respective corresponding FETs. Even when a positive reference potential impressing bias is not applied from the external, operation similar to the existence of the bias can be attained and the FETs 1 to 4 can be functioned as switches. Namely effects such as the improvement of a pass/insertion loss, the reduction of chip size and the reduction of the number of terminals can be obtained by removing a positive reference potential impressing bias circuit and the improvement of switching performance and the compactness of a PKG can be simultaneously attained by the use of switches to be controlled only by a positive power supply.



LEGAL STATUS

[Date of request for examination] 27.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3031227

[Date of registration] 10.02.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181588

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.⁶

H 0 3 K 17/693

識別記号

庁内整理番号

9184-5K

F I

H 0 3 K 17/693

技術表示箇所

A

審査請求 有 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平7-340453

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宮 龍也

東京都港区芝五丁目7番1号 日本電気株式会社内

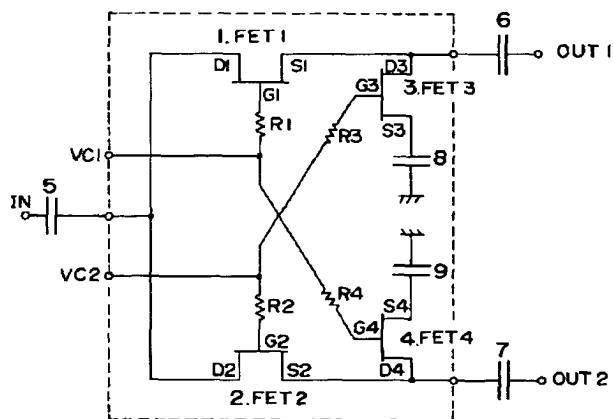
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体スイッチ

(57) 【要約】

【課題】 正電源でコントロールできかつ小型高性能のFETスイッチを提供する。

【解決手段】 FETのon, off状態を利用してスイッチングを行うFETスイッチにおいて、スイッチを構成する全FETのドレイン及びソースがコンデンサーを介して接地されているためにFETにはDC電流が流れない様にするにより各FETのドレインとソースの電位は外部から印加したコントロール電圧及び使用しているFETのピンチオフ電圧及びFETの内部容量とDCカットコンデンサの容量で一意的に決定される。外部からの各電位を決める基準電位印加用バイアス回路がなくともスイッチング動作が可能であり、基準電位印加用バイアス回路を不要とすることで同回路による損入損失増加を改善し、同時に回路簡略化によるチップ小型化、端子数削減を可能とする。



【特許請求の範囲】

【請求項 1】 第 1 の F E T のソースとドレインが第 1 のコンデンサーを介して入力端子、第 1 の出力端子と接続され、第 2 の F E T のドレインが第 1 の F E T のソースと接続され、前記第 2 の F E T のソースは第 2 のコンデンサーを介して接地され、第 3 の F E T のドレインは前記第 1 の F E T のドレインが接続され、前記第 3 の F E T のソースは第 3 のコンデンサーを介して第 2 の出力端子と接続され、第 4 の F E T のドレインは前記第 3 の F E T のソースと接続され、前記第 4 の F E T のソースは、第 4 のコンデンサーを介して接地され、前記第 1 及び第 4 の F E T のゲートが抵抗を介して第 1 のバイアス端子に接続され、前記第 2 及び第 3 の F E T のゲートが抵抗を介して第 2 のバイアス端子に接続され、前記第 1 及び第 2 のバイアス端子に正電圧を交互に印加することを特徴とする半導体スイッチ。

【請求項 2】 第 1 の F E T のソースとドレインがコンデンサーを介してそれぞれが入力端子 1、出力端子 1 となり、第 2 の F E T のドレインが第 1 の F E T のソースと接続され、コンデンサーを介して第 2 の F E T のソースが接地され、第 1 の F E T のゲート及び第 2 の F E T のゲートに各々正電位、0 V を印加することによりスイッチングを行う F E T スイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体スイッチに関し、特に移動体通信装置の中において送受切換スイッチ、ダイバーシチー切換スイッチ、VCO 切換スイッチなどの各種スイッチング素子として使用される半導体スイッチに関する。

【0002】

【従来の技術】 従来より、この種のスイッチは M E S F E T を用い、その on 抵抗、off 抵抗を利用してスイッチング動作を行う様構成されていた。

【0003】 一般的に M E S F E T はディプレッション型（ノーマリーオン型）F E T でしきい値（ V_{th} ）が負電圧である。従って 0 V バイアスで F E T はオン状態にあり、F E T をカットオフさせるためには、しきい値（ V_{th} ）より低い電圧が必要である。一般にこの種の F E T スイッチではコントロール電圧に負電圧を用いているが（特開平 6 - 1 5 2 3 6 1 等）正電源化した例として（1994 電子情報学会春季大会 2 - 2 6 5）がある。

【0004】 この場合、正電源でスイッチング動作を行うために図 3 に示す様な基準になる電位を正電圧に固定する正電源外部印加端子 V_D と、スイッチを構成する各 F E T のドレイン・ソースに高抵抗 R を介して正電位が印加されるバイアス回路と、D C を除去するコンデンサ C_1 、 C_2 、 C_3 、 C_4 、 C_5 で構成されている。

【0005】 次に正電源でのスイッチの動作を説明す

る。

【0006】 例えば、スイッチ制御端子 1（ V_{c1} ）に前記電源電圧 V_D と同電位を印加し、スイッチ制御端子 2（ V_{c2} ）に F E T のしきい値電圧の絶対値 $|V_{th}|$ より低電位を印加したとき、F E T のしきい値電圧が $-1.5V$ のときには $-1.5 > V_{c2}$ 例えば 0 V とすると、スイッチを構成する F E T 1 と F E T 4 のゲート電位はドレイン・ソース電位と同電位となり、オン状態つまり低インピーダンスとなる。又、F E T 2 と F E T 3 はドレイン・ソース電位に比べ、ゲート電位は F E T のしきい値電圧より低電位のためオフ状態つまりドレイン・ソース間が高インピーダンスとなる。この状態において高周波信号が入力端子 1 N より入力すると、低インピーダンスの F E T 1 を介し出力端子 O U T 1 へ出力される。反対に、前記 V_{c1} に 0 V、前記 V_{c2} に前記 V_D と同電位を印加すると、F E T 1 と F E T 4 はオフ状態となり、F E T 2 と F E T 3 はオン状態となるため入力端子 1 N より入力された信号は F E T 2 を介し出力端子 O U T 2 へ出力されることになる。これがスイッチング動作の基本である。

【0007】 ところで正電圧でスイッチング動作するためには基準電位を与えるために高抵抗 R を信号が通過する F E T のドレインもしくはソースに並列に接続するため、少なからず、信号成分の漏洩がある。従ってスイッチに要求される最も重要な特性の挿入損失が増加するという問題がある。

【0008】

【発明が解決しようとする課題】 第 1 の問題点は、従来の技術において正電圧の基準電位を与えるためにスイッチに要求される最も重要な特性の 1 つである。挿入損失が増加することである。

【0009】 その理由は、正電圧の基準電位を与えるために、高抵抗が信号の通過する線路に並列に接続されるため、少なからず信号成分の漏洩があるからである。

【0010】 第 2 の問題点は、従来の技術において、正電圧の印加用のバイアス回路が必要であり回路が複雑化することと、バイアス回路が必要な分、チップ内部で構成しようとしたときにチップ面積の増加をもたらすことである。

【0011】 その理由は、正電圧の基準電位を与えるための外部バイアス回路を接続していたためである。

【0012】 第 3 の問題点は P K G の小型化ができないという事である。その理由は外部バイアス回路を接続するための端子が必要であり P K G の必要端子数の増加をもたらすためである。

【0013】 F E T の内部自己バイアス作用をもちいて、基準バイアスを発生させることによって、従来まで必要であった正電源基準電位印加用バイアス回路を不要とし同等以上の特性を得ることができる。さらに回路簡略化、チップ小型化、P K G 小型化の効果を得ることに

より、正電源のコントロール電圧で動作する小型、高性能のFETスイッチを提供する。

【0014】

【課題を解決するための手段】本発明では、スイッチを構成するすべてのFETのドレインとソースがDCカットコンデンサによりFETにDC電流が流れ得ない事に注目しFETの内部容量により自動的に各電位が決まることを利用することにより、外部からの基準電位印加用バイアス回路を一掃し、外部からの同バイアス回路を無くした型でスイッチ動作を実現することにより挿入損失の改善、チップサイズ小型化、端子数削減を実現した。

【0015】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。

【0016】図1を参照すると本発明の第1の実施の形態はFET1, 2, 3, 4でSPDTスイッチを構成しており図3に示す従来のSPDTスイッチの構成に対して R_5 , R_6 , R_7 , R_8 , R_9 を介して供給されるバイアス回路を排除した構成となっている。

【0017】つまりFET1のドレイン D_1 , ソース S_1 はそれぞれコンデンサ C_1 , C_2 を介して入力端子、出力端子1に接続されFET2のドレイン D_2 はFET1のソース S_1 と接続しFET2のソース S_2 はコンデンサ C_4 を介して接地されている。

【0018】FET3のドレイン D_3 はFET1のドレイン D_1 と接続され、FET3のソース S_3 はコンデンサ C_3 を介して出力端子2に接続される。FET4のドレイン D_4 はFET3のソース S_3 と接続し、FET4のソース S_4 はコンデンサ C_5 を介して接地されている。

【0019】FET1のゲート G_1 及びFET4のゲート G_4 はそれぞれ R_1 , R_4 を介してコントロール端子 V_{c1} に接続され、FET2のゲート G_2 及びFET3のゲート G_3 はそれぞれ R_2 , R_3 を介してコントロール電圧 V_{c2} に接続されている。

【0020】次に本発明の実施の形態の動作について図1を参照して詳細に説明する。本構成のスイッチにおいて例えば、 V_{c1} , V_{c2} に各々 $+V_D$, $0V$ を印加すると、 D_1 , D_2 , D_3 及び S_1 , S_2 , S_3 は使用しているFETのピンチオフ電圧によって一意的に電位は決定されるが、その決定される原理を以下に説明する。まず、 S_1 は G_1 に印加された $+V_D$ がFET1, FET3の内部容量及び C_4 で分圧された電位となるが C_4 に数PF以上の容量を選ぶと、FET1の G_1-S_1 間容量 C_{G1S1} 及びFET3の D_3-S_3 間容量 C_{D3S3} はそれぞれ $C_{G1S1} \ll C_4$, $C_{D3S3} \ll C_4$ となるため、 $S_1 \approx V_D$ となる。 $S_1=D_3$ であるから $D_3 \approx V_D$ となる。次に S_3 を考える。 $D_3=V_D$, $G_3=0V$ であるためFET3の G_3-D_3 間には空乏層が広がった状態になっているがこの空乏層の広がり S_3 側へは G_3-S_3 間か

ピンチオフするところまで広がる。従って S_3 の電位はFETのピンチオフ電圧 V_D となる。

【0021】この結果FET1はON状態FET3はOFF状態になる。

【0022】 D_2 , S_2 , D_4 についても $C_{D2S2} \ll C_5$ とすることにより、 $D_2 \approx S_2 = D_4 \approx V_D$ となる。 S_4 は G_4 が V_D となるため、 $G_4 \approx D_4$ の空乏層の広がりはないことにより $S_4 \approx D_4 \approx V_D$ となる。この結果FET2はOFF状態FET4はON状態となる。

【0023】以上説明した様に外部からの正電位基準電位印加バイアスがなくなるともある場合の同様の動作が可能であり、FET1, 2, 3, 4をスイッチとして機能させる事ができる。

【0024】正電位基準電位印加用バイアス回路を排除することにより、通過挿入損失の改善、チップサイズ小型化、端子数削減等の効果があり、正電源のみでコントロールするスイッチにおいてスイッチング性能の向上とPKG小型化を同時に実現できる。

【0025】次に本発明の第2の実施の形態について図面を参照して説明する。

【0026】図2は、本発明の第2の実施の形態の等価回路図であるが第1の実施の形態例と異なる点はFET2, FET4及びFET2, FET4に接続されていた R_2 , R_4 , C_5 , C_3 等の回路が無い点である。この場合、FET1とFET3でSPSTを構成するが、この場合でも第1の実施の形態で説明した様にFET1とFET3を正電位基準電位印加バイアスがなくなるとも正電圧でコントロールできるスイッチを得る事ができる。

【0027】

【発明の効果】第1の効果は、 $0.1 \sim 0.2$ dBの挿入損失改善ができ、スイッチ性能が向上する。

【0028】その理由は、基準電位印加用バイアス回路を排除したことによりそれによる損失がなくなるため($0.1 \sim 0.2$ dB)である。

【0029】第2の効果は、チップサイズ小型化ができる(約10%)。

【0030】その理由は、基準電位印加用バイアス回路を排除したことにより回路が簡略化されるためである。

【0031】第3の効果は、PKG小型化ができることである。

【0032】その理由は、基準電位印加用バイアス回路を排除したことにより必要な端子数が減るため(端子削減1端子)である。

【図面の簡単な説明】

【図1】本発明の実施の形態の等価回路図である。

【図2】本発明の実施の形態2の等価回路図である。

【図3】従来のFETスイッチの等価回路図である。

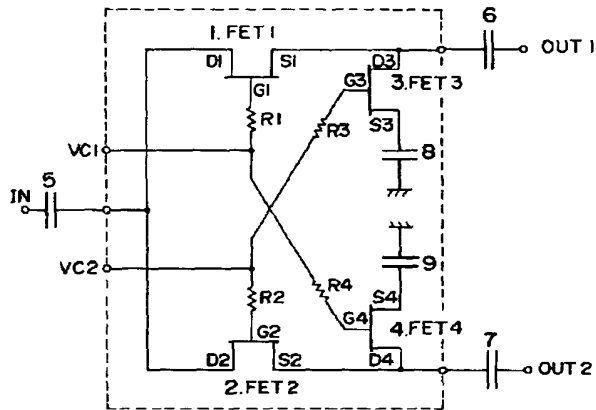
【符号の説明】

- 1 FET
- 2 FET

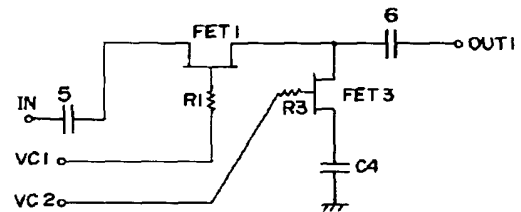
- 3 FET
- 4 FET
- 5 コンデンサ (C₁)
- 6 コンデンサ (C₂)

- 7 コンデンサ (C₃)
- 8 コンデンサ (C₄)
- 9 コンデンサ (C₅)

【図1】



【図2】



【図3】

